



研究与开发

高速 16APSK 信号并行载波同步算法

罗义军, 厉子豪

(武汉大学电子信息学院, 湖北 武汉 430072)

摘要: 提出一种 16APSK 信号的高速并行载波同步算法。该算法采用递归结构设计环路滤波器与数控振荡器。在 Simulink 平台上进行仿真, 并在 800 Msps 符号速率的高速条件下, 与现有的两种并行载波同步算法进行对比测试。结果表明, 在误比特率性能与对比算法相同的同时, 该算法捕获带宽提升至对比算法的 2 倍以上。采用该算法完成解调时, 解调损失小于 1.5 dB。

关键词: 16APSK; 载波同步; 高符号速率; 捕获带宽

中图分类号: TN911

文献标志码: A

doi: 10.11959/j.issn.1000-0801.2025185

Parallel carrier synchronization algorithm for high-speed 16APSK signals

LUO Yijun, LI Zihao

School of Electronic Information, Wuhan University, Wuhan 430072, China

Abstract: A high-speed parallel carrier synchronization algorithm for 16APSK signals was proposed. The algorithm utilized a recursive structure to design the loop filter and numerically controlled oscillator. Simulations were conducted on the Simulink platform, and comparative tests were performed with two existing parallel carrier synchronization algorithms under high-speed conditions with a symbol rate of 800 Msps. The results demonstrated that, while maintaining the same bit error rate performance as the comparison algorithms, the capture bandwidth of the proposed algorithm was increased to more than twice that of the comparison algorithms. When using this algorithm for demodulation, the demodulation loss was less than 1.5 dB.

Key words: 16APSK, carrier synchronization, high symbol rate, capture bandwidth

0 引言

目前, 卫星通信所需的频谱资源日益紧张, 相较正交相移键控 (quadrature phase shift key-

ing, QPSK) 的调制方式, 16 振幅移相键控 (16 amplitude phase shift keying, 16APSK) 的高阶调制方式可以在相同带宽条件下将传输速率提高 1 倍, 从而有效提高卫星通信系统的信息传输速

收稿日期: 2025-03-04; 修回日期: 2025-07-02

通信作者: 罗义军, lyj@whu.edu.cn



率和频带利用率。相较相同阶数的正交振幅调制 (quadrature amplitude modulation, QAM), APSK 具有更低的系统峰均比与更大的动态范围, 已成为卫星通信领域的重要发展方向^[1]。

随着卫星通信速率的需求不断提升, 信号的码元速率可能达到几百甚至上千兆赫兹。现场可编程逻辑门阵列 (field programmable gate array, FPGA) 的工作频率往往不能满足如此高的速率要求。因此, 对高速数传要求下的信号解调算法进行研究具有重要的现实意义^[2]。载波同步是解调技术的重要组成部分, 对解调误码性能起着决定性作用^[3-4]。已有学者开展了高速 APSK 信号载波同步的研究。文献[5]采用对接收符号幅值进行判决的方式, 改进了 APSK 并行载波同步的鉴相算法。文献[6]采用基于傅里叶变换的频偏估计算法与闭环跟踪相结合的方式, 完成了符号速率为 930 Msps 的高速 16APSK 信号解调器的设计。文献[7]通过引入量化判决模块筛选星座图中对称相位线上点的方式, 提出了一种适用于 16APSK、32APSK 等多种调制体系的高速解调器实现方法。

由于卫星通信的双方存在相对运动, 因此, 接收信号中会存在较大的多普勒频移^[8-9]。载波同步中锁相环的捕获带宽的大小将决定能捕获的最大多普勒频偏值。本文主要研究在高速数传的需求下, 16APSK 信号接收机的并行载波同步, 提出了一种基于递归结构的并行载波同步算法, 并与现有两种并行载波同步算法^[5,10-15]进行对比, 在不改变误比特率 (bit error ratio, BER) 性能的同时, 提高了环路捕获带宽。

1 算法原理

本文讨论的 16APSK 信号指 DVB-S2 标准中的 4+12-APSK^[16]。为实现 16APSK 信号的解调, 需要恢复出同频同相的相干载波。鉴相模块、环路滤波器和数控振荡器 (numerically controlled oscillator, NCO) 是载波同步的关键。在鉴相模

块计算出载波误差后, 由于受信道中噪声的影响, 计算出的误差值会在一个均值附近抖动, 需要利用环路滤波器滤除高频噪声, 最后通过 NCO 恢复出相干载波。本文主要针对环路滤波器与 NCO 的结构进行改进, 鉴相模块采用 Q 次方极性环算法^[17], 实现了 16APSK 信号载波同步的并行化。

1.1 环路滤波器

1.1.1 串行载波同步的环路滤波器

环路滤波器具有滤除高频噪声和平滑处理的作用, 对整个环路参数的调整具有重要意义。在实际工程应用中, 为便于硬件实现, 一般使用二阶环路滤波器。二阶环路滤波器结构如图 1 所示^[18]。其中, Z^{-1} 表示一个时延单位。

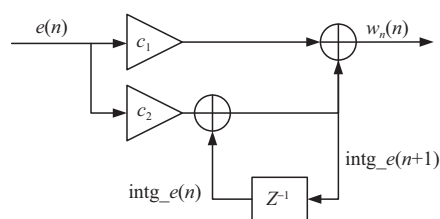


图1 二阶环路滤波器结构

通常将 c_1 所在支路称为直流支路, 将 c_2 所在支路称为积分支路。由图 1 可知, 在环路滤波器中, 满足:

$$w_n(n) = c_1 \cdot e(n) + c_2 \cdot e(n) + \text{intg_}e(n) \quad (1)$$

其中, $\text{intg_}e(n)$ 表示时延一拍后积分支路上的值, $e(n)$ 表示输入环路滤波器的鉴相误差, $w_n(n)$ 表示滤波处理后的鉴相误差输出信号。 c_1 与 c_2 为环路滤波器系数, 计算式满足:

$$\begin{aligned} c_1 &= \frac{4(\omega_n T)^2 + 8\zeta\omega_n T}{4 + 4\zeta\omega_n T + (\omega_n T)^2} \frac{1}{K_z} \approx \frac{2\zeta\omega_n T}{K_z} \\ c_2 &= \frac{4(\omega_n T)^2}{4 + 4\zeta\omega_n T + (\omega_n T)^2} \frac{1}{K_z} \approx \frac{(\omega_n T)^2}{K_z} \end{aligned} \quad (2)$$

其中, ω_n 为环路的固有振荡频率, ζ 为阻尼系数, 一般取固定值 0.707, K_z 为环路的相位增益值, T 为采样周期。

1.1.2 并行载波同步的环路滤波器

在基于等量补偿的并行载波同步算法^[5,10-14]中, 环路滤波器仍采用图1所示的结构。环路滤波器的输入为多路并行的鉴相误差的均值, 输出为滤波处理后的鉴相误差。

在基于均值反馈的并行载波同步算法^[15]中, 对环路滤波器组中所有积分支路的值取平均, 再反馈回每一路积分支路, 并与直流支路的值相加, 得到滤波输出。

在基于递归结构的并行载波同步算法中, 环路滤波器组的结构是以串行结构为基础推导出的。由图1可知, 串行环路滤波器的反馈值为上一采样时刻积分支路的值, 在并行结构中等价于相邻前一路积分支路的值。因此, 在并行化后, 应将第 $k-1$ 路积分支路的值反馈至第 k 路。以 32 路并行载波同步为例, 递归结构的 32 路并行环路滤波器组结构如图2所示。由图2可知, 并行环路滤波器组的积分功能可通过将上一相邻积分支路的值反馈回当前积分支路实现, 表现为并行递归结构。环路滤波器组的输出满足:

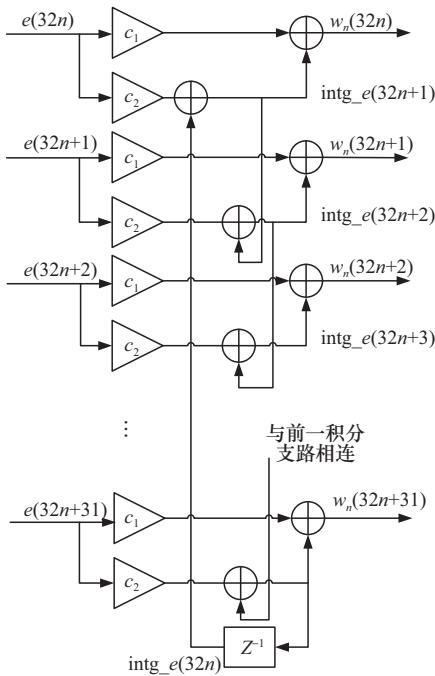


图2 递归结构的32路并行环路滤波器组结构

$$w_n(32n+k) = c_1 \cdot e(32n+k) + c_2 \cdot e(32n+k) + \text{intg_}e(32n+k) \quad (3)$$

其中, $k=0,1,2,\dots,31$ 。对比式(1)与式(3)可知, 该并行环路滤波器组的输出结果与原串行结构等价。由于并行处理32路数据, 每一路的比特率降低到原串行结构的1/32, 因此降低了对硬件系统时钟频率的要求。

1.2 数控振荡器

1.2.1 串行载波同步的数控振荡器

鉴相误差信号经过环路滤波器滤除高频噪声影响后送入NCO, 通过累加器积分即可得到相位, 并查表得到对应的正余弦值。NCO结构如图3所示。

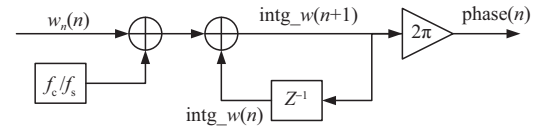


图3 NCO结构

NCO输出的相位值 $\text{phase}(n)$ 可表示为:

$$\text{phase}(n) = 2\pi \cdot \left[\text{intg_}w(n) + w_n(n) + \frac{f_c}{f_s} \right] \quad (4)$$

其中, $\text{intg_}w(n)$ 表示时延一拍后累加器中的值, f_c 表示中频载波频率, f_s 表示信号采样率。

1.2.2 并行载波同步的数控振荡器

基于等量补偿的并行载波同步中, 需要将滤波后的误差信号通过累加器积分, 得到累积相位误差, 再分别与每一路的相位相加, 最后查表得到相应的正余弦值。

基于均值反馈的并行载波同步中, 多路并行NCO的每一路仍采用图3的结构, 将每一路环路滤波器的滤波结果作为NCO的输入, 得到多路载波输出。

基于递归结构的并行载波同步中, NCO不再采用累加器实现积分, 而是通过将上一路NCO的相位加到当前支路来实现积分功能。与递归结构的环路滤波器实现原理相似, NCO的并行递归



结构也可通过串行结构推导而来。串行结构中前一采样时刻累加器保存的值等价于并行结构中相邻支路上的值。因此，将相邻支路的值加到当前支路，效果与串行结构中的累加器等价。递归结构的32路并行NCO结构如图4所示。由图4可知，并行NCO表现为递归结构，输出值满足：

$$\text{phase}(32n+k) = 2\pi \cdot \left[\text{intg_w}(32n+k) + w_n(32n+k) + \frac{f_c}{f_s} \right] \quad (5)$$

其中， $k=0,1,2,\dots,31$ 。对比式(4)与式(5)可知，并行NCO输出结果与原串行结构等价，且每一路的比特率降低至原串行结构比特率的1/32，降低了对硬件系统时钟频率的要求。

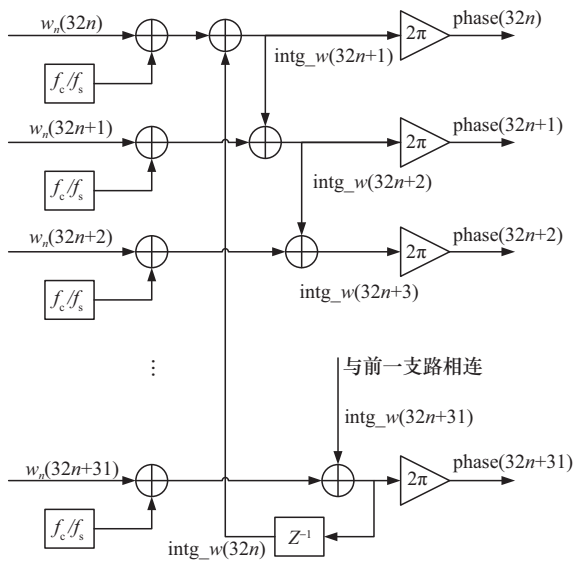


图4 递归结构的32路并行NCO结构

2 仿真实验与结果分析

2.1 仿真参数确定

采用Simulink平台对算法进行仿真实验验证。为减小星座信号点之间的干扰，需要信号点之间的欧氏距离尽可能大。将外圈半径 R_2 与内圈半径 R_1 之比 γ ($\gamma=R_2/R_1$) 设置为2.73，该条件下16APSK星座点的欧氏距离最大^[19]。统一设置采样频率 $f_s=3.2$ GHz。为了让系统支持的带宽最大，

将中频载波频率设置为采样频率的3/4，即中频载波 $f_c=2.4$ GHz，符号速率设定为采样频率的1/4，即符号速率 $R_s=800$ Msps。成形滤波器与匹配滤波器均采用32阶平方根升余弦滤波器，滚降系数 α 为0.35。仿真参数见表1。

表1 仿真参数

参数	数值
R_s/Msps	800
f_c/GHz	2.4
f_s/GHz	3.2
α	0.35
γ	2.73

2.2 仿真结果及性能测试

2.2.1 捕获带宽的仿真测试与结果分析

锁相环的捕获带宽指确保环路能够进入锁定的最大固有频差，即输入参考信号频率与NCO固有振荡频率之差的最大值^[18]。若固有频差在捕获带宽范围内，环路就可以成功捕获。因为NCO的固有振荡频率为 f_c ，所以捕获带宽即能够使环路进入锁定状态的最大多普勒频偏值。

由式(2)可得环路固有振荡频率 ω_n 的计算式为：

$$\omega_n = \frac{2\xi}{T} \frac{c_2}{c_1} \quad (6)$$

其中， c_1 和 c_2 为环路滤波器系数， ξ 表示阻尼系数，一般取固定值0.707， T 为采样周期。式(7)为捕获带宽 $\Delta\omega_L$ 的计算式，由式(7)计算出串行环路中的捕获带宽为781.25 kHz。

$$\Delta\omega_L = 2\xi\omega_n \quad (7)$$

根据前文原理部分的分析可知，并行递归结构中的环路滤波器和NCO与串行结构等价。然而，由于噪声以及并行环路中时延的存在，实测值应低于串行理论计算值。通过不断调大多普勒频偏值，直至锁相环无法进入锁定状态，测得能够成功捕获的最大多普勒频偏即捕获带宽。各算法捕获带宽实测值见表2。临界锁定状态下载波

同步的收敛曲线如图 5 所示, 其中, 纵坐标为多普勒频偏 f_d 除以信号采样率 f_s 后的相对频率, 无量纲 (量纲一)。由测试结果可知, 在并行算法中, 递归算法的捕获带宽具有明显优势。

表 2 各算法捕获带宽实测值

算法	捕获带宽	相对多普勒频偏 f_d/f_s
串行算法	670 kHz	2.0938×10^{-4}
递归并行算法	500 kHz	1.5625×10^{-4}
等量补偿并行算法	150 kHz	4.6875×10^{-5}
均值反馈并行算法	230 kHz	7.1875×10^{-5}

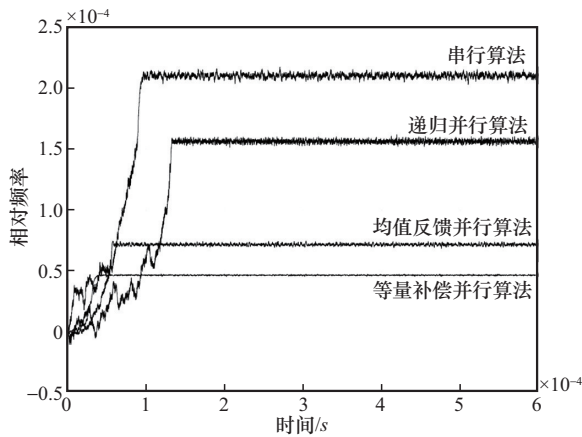


图 5 临界锁定状态下载波同步的收敛曲线

下面对捕获带宽测试结果进行理论分析。多普勒频偏 f_d 使前后数据之间产生固有相偏 $2\pi f_d/f_s$, 第 1 路与第 32 路的相偏为 $62\pi f_d/f_s$ 。等量补偿并行算法中, 相偏估计值每 32 个数据更新一次。均值反馈并行算法中, 计算相偏所需的环路滤波器反馈值每 32 个数据更新一次。相偏估计值的更新速率较慢, 导致对相偏的估计存在误差。随着 f_d 增大, 固有相偏 $2\pi f_d/f_s$ 也会增大, 影响环路的收敛与稳定, 从而限制了捕获带宽。由于递归结构根据串行结构推导而来, 与串行结构等价, 相偏估计值的更新速率与串行结构相同, 每个数据更新一次, 因此, 环路所能容忍的多普勒频偏 f_d 更大, 具有更大的捕获带宽。

与串行结构相比, 由于并行递归结构中存在时延, 其捕获带宽仍无法达到串行结构的水平,

但对高速 16APSK 信号进行并行化处理仍是非常必要的。因为串行结构在处理高速信号时, 对硬件时钟频率的要求非常高, 以 800 Msps 符号速率的高速信号为例, 若采用 4 倍采样, 则采样率将高达 3.2 GHz, FPGA 硬件电路难以满足如此高的频率要求。若转化为 32 路并行, 则每一路的采样率降为 100 MHz, 这样就能满足硬件电路时钟频率的需求。

2.2.2 收敛时间与误比特率的测试

为比较并行载波同步算法的 BER 性能, 本文采用了相同的定时同步环路^[20]完成后续的解调过程, 以确保最终解调性能的差异是由载波同步导致的。

本文分别在 150 kHz 和 500 kHz 多普勒频偏条件下, 对并行算法进行 BER 性能的仿真测试。在 150 kHz 多普勒频偏条件下, 各算法均能成功捕获, 可实现算法性能的对比。500 kHz 多普勒频偏已达到递归算法的捕获带宽, 能够体现递归算法在极端情况下的 BER 性能, 此时多普勒频偏已超过两种对比算法的捕获带宽, 因此, 仅测试递归算法的 BER 性能。16APSK 的最佳接收机理论 BER 计算式如下所示^[21]。

$$P(E) = \frac{1}{4} Q \left(\sqrt{\frac{2(\gamma^2 - \gamma + 1)}{\alpha_0} \frac{E_b}{N_0}} \right) + \frac{1}{4} Q \left(\sqrt{\frac{2(\gamma - 1)^2}{\alpha_0} \frac{E_b}{N_0}} \right) + \frac{1}{8} Q \left(\sqrt{\frac{4}{\alpha_0} \frac{E_b}{N_0}} \right) + \frac{3}{8} Q \left(\sqrt{\frac{8\gamma^2 \sin^2 \frac{\pi}{12}}{\alpha_0} \frac{E_b}{N_0}} \right) \quad (8)$$

其中, Q 代表 Q 函数, γ 表示 16APSK 星座图外圈半径与内圈半径之比, $\alpha_0 = (1 + 3\gamma^2)/4$, E_b 为每比特信号能量, N_0 为噪声的功率谱密度。

16APSK BER 曲线的测试结果如图 6 所示。测试结果表明, 当 $f_d = 150$ kHz 时, 3 种并行算法



均能成功捕获, 各算法 BER 曲线基本重合。当 $f_d = 500$ kHz 时, 多普勒频偏超过对比算法捕获带宽, 仅递归算法能够成功捕获, 解调损失在 1.5 dB 以内。因此, 递归算法的主要优势体现在: 在不影响 BER 性能的同时, 实现了更大的捕获带宽。换言之, 针对多普勒频偏不超过对比算法捕获带宽的信号, 递归算法与对比算法均能成功捕获, 且 BER 基本相同; 若多普勒频偏超过对比算法捕获带宽, 对比算法将会失效, 而递归算法仍能成功捕获, 且造成的解调损失较小。

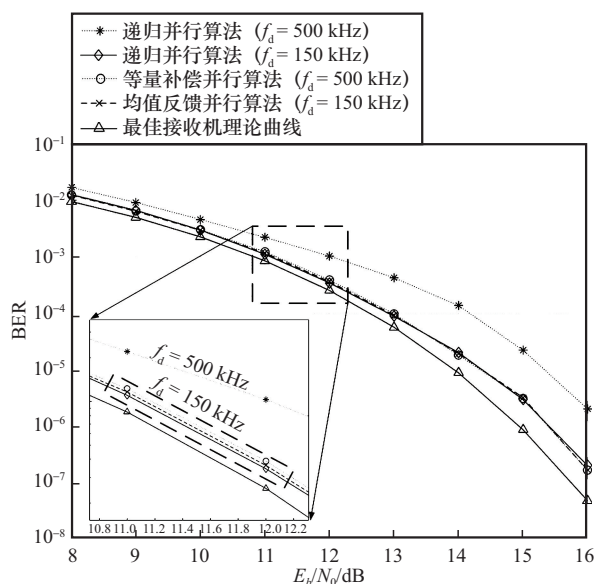


图6 16APSK BER 曲线的测试结果

在 150 kHz 多普勒频偏条件下, 载波同步收敛时间测试结果对比见表3。锁相环整体上呈现信噪比越高, 收敛时间越短的规律, 但由于锁相环的随机共振效应以及频率调制效应, 噪声可能会使锁相环跳出局部稳定点, 造成信噪比越高, 收敛时间反而延长的特例^[22], 因此, 需要多次实验取收敛时间均值。实验结果表明, 递归算法相较对比算法的收敛速度更快。

在实际通信场景中, 信号的接收端与发射端之间相对运动的速度往往并不是一个固定值, 这将导致多普勒频偏的变化。以低轨卫星为例, 低

轨卫星一般位于高度 500~2 000 km 的轨道上, 现阶段通信频段主要集中在 Ku、Ka 等较高频段^[23]。根据 3GPP TR 38.811 标准定义的典型场景^[24], 轨道高度 600 km、载波频率 30 GHz 的 Ka 波段低轨卫星最大多普勒频偏变化率为 8.16 kHz/s。考虑未来低轨卫星可能采用 Q、V 频段甚至更高频段, 设置多普勒频偏变化率 f_{drate} 为 50 kHz/s。若初始多普勒频偏为 500 kHz, 则 10 ms 累积的多普勒频偏变化量为 500 Hz, 仅占初始多普勒频偏的 1/1 000。经测试, 50 kHz/s 多普勒频偏变化率对 BER 性能的影响极小。此外, 通过提高采样率或增加并行路数的方式, 可进一步提高系统能够支持的多普勒频偏变化率。

表3 载波同步收敛时间测试结果对比

E_b/N_0	等量补偿并行算法收敛时间/ms	均值反馈并行算法收敛时间/ms	递归并行算法收敛时间/ms
8 dB	196	138	73
9 dB	128	94	41
10 dB	82	69	30
11 dB	62	56	25
12 dB	50	44	23
13 dB	36	30	21
14 dB	26	24	17
15 dB	20	18	15
16 dB	18	18	12

3 结束语

由于 FPGA 时钟频率较低, 串行载波同步已无法满足高速数据传输的需要, 基于此, 本文提出了一种并行载波同步算法, 以递归的方式设计了载波同步中环路滤波器与数控振荡器的并行结构。本文用高速 16APSK 信号对算法性能进行了测试, 并与已有的两种并行载波同步算法进行对比。测试结果表明, 递归算法在 BER 性能相似的情况下, 收敛速度优于对比算法, 且捕获带

宽达到了对比算法的 2 倍以上,有效扩展了捕获信号的动态范围。该算法对不同的调制方式具有通用性,适用于 PSK、APSK、QAM 等多种调制方式,对未来高速并行数字接收机的研究具有一定的价值。在后续的研究中,可以将此算法在 FPGA 等硬件平台上的实现作为下一步研究方向。

参考文献:

- [1] 田甜,朱立东,黄长文,等. 8PSK/16APSK 信号的频偏估计及误比特率分析[J]. 太赫兹科学与电子信息学报, 2018, 16(5): 802-806, 849.
TIAN T, ZHU L D, HUANG C W, et al. Frequency offset estimation and bit error rate analysis of 8PSK/16APSK signals[J]. Journal of Terahertz Science and Electronic Information Technology, 2018, 16(5): 802-806, 849.
- [2] 李攀攀,谢正霞,乐光学,等. 基于深度学习的无线通信接收方法研究进展与趋势[J]. 电信科学, 2022, 38(2): 1-17.
LI P P, XIE Z X, YUE G X, et al. Research progress and trends of deep learning based wireless communication receiving method[J]. Telecommunications Science, 2022, 38(2): 1-17.
- [3] HELWIG A P, HU B. High rate Ka-band downlink digital receiver for MUOS[C]//Proceedings of the MILCOM 2007 - IEEE Military Communications Conference. Piscataway: IEEE Press, 2007: 1-7.
- [4] SACCHI C, MUSSO M, GERA G, et al. An efficient carrier recovery scheme for high-bit-rate W-band satellite communication systems[C]//Proceedings of the 2005 IEEE Aerospace Conference. Piscataway: IEEE Press, 2005: 1379-1390.
- [5] 邹浩,任科学. M-APSK 鉴相算法与并行载波同步方法[J]. 通信学报, 2024, 45(3): 104-116.
HUAN H, REN K X. M-APSK phase detection algorithm and parallel carrier synchronization method[J]. Journal on Communications, 2024, 45(3): 104-116.
- [6] 何朝玉,彭战武. 高符号速率 16APSK 信号解调器的设计与实现[J]. 无线电工程, 2018, 48(10): 904-907.
HE C Y, PENG Z W. Design and implementation of high symbol rate 16APSK signal demodulator[J]. Radio Engineering, 2018, 48(10): 904-907.
- [7] 刘洋. 一种全数字化 32APSK 高速解调器实现方案[J]. 电子设计工程, 2023, 31(18): 178-182.
LIU Y. A fully digital 32APSK high data rate demodulator implementation scheme[J]. Electronic Design Engineering, 2023, 31(18): 178-182.
- [8] 黄爱军,代红. 高动态卫星链路多普勒频移特性分析[J]. 电讯技术, 2020, 60(3): 263-267.
HUANG A J, DAI H. Doppler frequency shift characteristics analysis of high dynamic satellite communication link[J]. Telecommunication Engineering, 2020, 60(3): 263-267.
- [9] 居治毅,陈斌杰. 一种改进的高动态 QPSK 信号解调算法[J]. 信息技术, 2020, 44(4): 32-36.
JU Z Y, CHEN B J. Improved demodulation algorithm for high dynamic QPSK signals[J]. Information Technology, 2020, 44(4): 32-36.
- [10] YANG Y Z, GU P, ZHOU S Y, et al. Design of high-speed receiver based on parallel processing[C]//Proceedings of the 2023 6th International Conference on Information Communication and Signal Processing (ICICSP). Piscataway: IEEE Press, 2023: 815-819.
- [11] WANG Y L, QIN Z, MA Y S, et al. A parallel carrier recovery scheme for an 8Gbps terahertz communication system[C]//Proceedings of the 2020 IEEE/CIC International Conference on Communications in China (ICCC). Piscataway: IEEE Press, 2020: 1308-1313.
- [12] XU M, WU X L, SUN L L, et al. Design of high data rate demodulator[C]//Proceedings of the 2024 7th International Conference on Information Communication and Signal Processing (ICICSP). Piscataway: IEEE Press, 2024: 398-402.
- [13] TANG J, QIU Y, WANG K R. Design and implementation of demodulator for HighData-rate meteorological satellites[C]//Proceedings of the 2024 4th International Conference on Information Communication and Software Engineering (ICICSE). Piscataway: IEEE Press, 2024: 141-146.
- [14] WANG Y, LIU J, LIN C X, et al. A parallel carrier synchronization structure for high-speed communication system[C]//Proceedings of the 2022 IEEE 10th Asia-Pacific Conference on Antennas and Propagation (APCAP). Piscataway: IEEE Press, 2022: 1-2.
- [15] 张嘉宁,陈妍,钟升. 高速数字解调中的并行锁相环载波恢复算法研究[C]//第八届中国指挥控制大会论文集. 2020: 525-529.
ZHANG J N, CHEN Y, ZHONG S. Research on Parallel PLL Carrier Recover Algorithms in High Rate Digital Demodulation[C]//The 8th China Conference on Command and Control, 2020: 525-529.
- [16] European Telecommunications Standards Institute. Implementation guidelines for the second generation system for broadcasting, interactive services, news gathering and other broadband satellite applications (DVB-S2): ETSI TR 102 376-1[S]. 2015.
- [17] 梅如如,胡婉如,王竹刚. 一种改进载波相位恢复算法[J]. 电



- 讯技术, 2021, 61(5): 589-595.
- MEIR R, HU W R, WANG Z G. An improved carrier phase recovery algorithm[J]. Telecommunication Engineering, 2021, 61(5): 589-595.
- [18] 杜勇. 锁相环技术原理及FPGA实现[M]. 北京: 电子工业出版社, 2016: 220-222.
- DU Y. Principle of phase-locked loop technology and FPGA implementation[M]. Beijing: Publishing House of Electronics Industry, 2016: 220-222.
- [19] 雷菁, 黄英, 刘志新. 非线性卫星信道中APSK信号星座优化设计研究[J]. 武汉理工大学学报, 2006, 28(8): 117-121.
- LEI J, HUANG Y, LIU Z X. Optimization of APSK signal constellations for nonlinear satellite channels[J]. Journal of Wuhan University of Technology, 2006, 28(8): 117-121.
- [20] 胡婉如, 王竹刚, 梅如如, 等. 高速并行Gardner算法设计与实现[J]. 国防科技大学学报, 2023, 45(2): 95-104.
- HU W R, WANG Z G, MEI R R, et al. Design and implementation of high speed parallel Gardner algorithm[J]. Journal of National University of Defense Technology, 2023, 45(2): 95-104.
- [21] SUNG W, KANG S, KIM P, et al. Performance analysis of APSK modulation for DVB-S2 transmission over nonlinear channels[J]. International Journal of Satellite Communications and Networking, 2009, 27(6): 295-311.
- [22] BENZI R, SUTERA A, VULPIANI A. The mechanism of stochastic resonance[J]. Journal of Physics A: Mathematical and General, 1981, 14(11): L453-L457.
- [23] SU Y T, LIU Y Q, ZHOU Y Q, et al. Broadband LEO satellite communications: architectures and key technologies[J]. IEEE Wireless Communications, 2019, 26(2): 55-61.
- [24] 3GPP. Study on new radio (NR) to support non-terrestrial networks: TR 38.811 V15.2.0[S]. 2019.

[作者简介]



罗义军 (1974-), 男, 武汉大学电子信息学院副教授、硕士生导师, 主要研究方向为高速数据传输、信号处理。



厉子豪 (2000-), 男, 武汉大学电子信息学院硕士生, 主要研究方向为高速数据传输和数字信号处理。